

(11)Publication number : 08-289312

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H04N 9/67

(21)Application number : 07-090982

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.04.1995

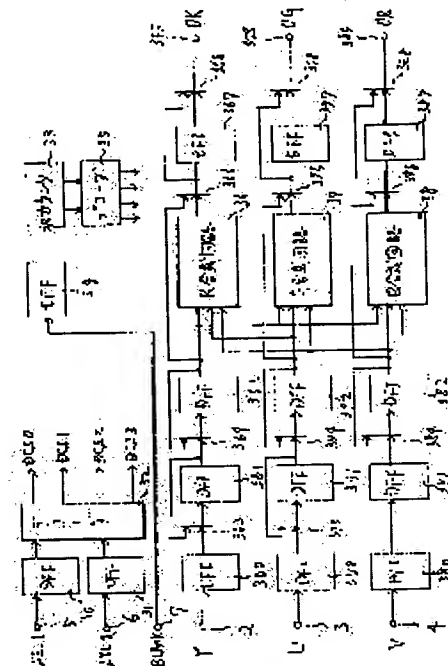
(72)Inventor : YOSHIDA YOSHIFUMI

(54) YUV-RGB CONVERTER

(57)Abstract:

PURPOSE: To deal with plural different formats through a simple circuit by converting the YUV type data on the formats into the RGB data in spite of whether the YUV data are multiplexed or not.

CONSTITUTION: The delay circuits 360 to 362, 370 to 372 and 380 to 382 of plural stages successively delay the YUV type data on plural input different formats, and the synthesization circuits 36, 37 and 38 synthesize the obtained YUV data to generate the RGB data. An identification circuit 32 identifies the formats of input data, and a counter 33 starts its counting action in response to the blank signal that shows the start of the input data. Thus the selectors 363 to 366 and 373 to 376 decide the output of one of delay circuits 360, 370 and 380 to send the output to the delay circuits 361, 371 and 381 of the following stages based on the output of the circuit 32 and contents of the counter 33. Then the format data can be converted into the RGB data in spite of whether the format data are multiplexed or not.



LEGAL STATUS

[Date of request for examination]

19.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3192913

[Date of registration]

25.05.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

特開平8-289312

(43) 公開日 平成8年(1996)11月1日

(51) Int. Cl.⁶
H04N 9/67

識別記号 庁内整理番号

F I
H04N 9/67

技術表示箇所

A

審査請求 未請求 請求項の数 3 O L (全9頁)

(21) 出願番号 特願平7-90982

(22) 出願日 平成7年(1995)4月17日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 吉田 好文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

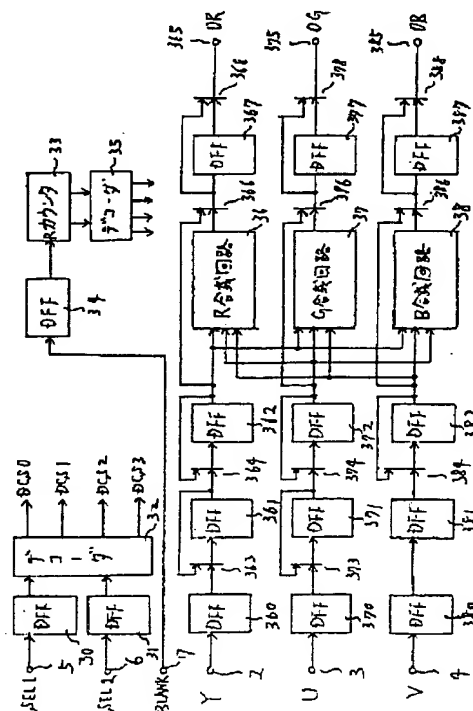
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 YUV/RGB変換器

(57) 【要約】

【目的】 複数の異なるフォーマットのYUV形式データが入力されても、複雑な回路構成を用いることなく、確実にRGBデータへの変換を可能とする。

【構成】 入力された複数の異なるフォーマットのYUV形式データを順次遅延させる複数段の遅延回路360～362、370～372、380～382と、遅延回路を通して得られたYUVの各データを合成してRGBの各データを生成する合成回路36、37、38と、複数のフォーマットに対応した切換信号を入力し、入力データがいずれのフォーマットであるかを識別する識別回路32と、入力データの開始を示すブランク信号に応じてカウントを開始するカウンタ33と、識別回路の出力及びカウンタの内容に応じて、いずれの遅延回路の出力を次段の遅延回路に送出するかを選択する複数のセクタ363～366、373～376、384～388とより、YUV/RGB変換器を構成する



【特許請求の範囲】

【請求項1】 複数の異なるフォーマットのYUV形式データを入力可能なデータ入力端子と、該入力端子に入力されたYUV形式のデータを順次遅延させる複数段の遅延回路と、該遅延回路を通して得られたYUVの各データを合成してRGBの各データを生成する合成回路と、前記複数のフォーマットに対応した切換信号を入力し、入力データがいずれのフォーマットであるかを識別する識別回路と、入力データの開始を示すブランク信号に応じてカウントを開始するカウンタと、前記複数段の遅延回路の間に挿入され、前記識別回路の出力及び前記カウンタの内容に応じて、いずれの遅延回路の出力を次段の遅延回路に送出するかを選択する複数のセクタとを備え、マルチプレクスされていないフォーマットのYUV形式データとマルチプレクスされているフォーマットのYUV形式データとを共に、RGBデータに変換可能としたことを特徴とするYUV/RGB変換器。

【請求項2】 請求項1記載のYUV/RGB変換器は、更に、前記合成回路から出力されるRGBの各データを遅延させる遅延回路を有し、YUVの全てのデータがマルチプレクスされているフォーマットのデータが10 入力された場合のみ、該合成回路の後段の遅延回路を迂回させるようにしたことを特徴とするYUV/RGB変換器。

【請求項3】 請求項1記載のYUV/RGB変換器において、前記データ入力端子はRGBデータを入力可能であって、前記切換信号としてRGBデータを示す切換信号が15 入力されたときは、前記遅延回路を通して得られたRGBの各データを前記合成回路を迂回させてそのまま出力することを特徴としたYUV/RGB変換器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数の異なるフォーマットのYUV形式データを入力し、このデータをRGB形式のデータに変換するYUV/RGB変換器に関する。

【0002】

【従来の技術】 一般に、MPEGビデオデコーダやCD-Gデコーダからは、RGBデータが出力データとして送出されることが多いが、輝度信号Yと色差信号U (B-Y)、V (R-Y) からなるYUV形式のデータが出力されることもある。通常、RGBデータが15 入力された場合は、RGBエンコーダ内のマトリクス回路において、入力されたRGBデータを輝度信号と色信号に変換するようにしているが、YUVデータは上述したように輝度信号と色差信号よりなるために、従来は、このようなYUVデータが10 入力されたときは、マトリクス回路による変換を行うことなく、そのまま処理を行うことで十分であった。

【0003】 また、MPEGビデオデコーダやCD-G 50

デコーダからのビデオデータに、文字等を表示するためのOSD信号を挿入する場合は、従来は、輝度信号と色信号を加算した信号に対し、OSD信号を挿入するようにしていた。

【0004】

【発明が解決しようとする課題】 従来は、上述したように、MPEGビデオデコーダやCD-GデコーダからYUV形式のデータが15 入力されたときは何ら変換を行う必要がなかったが、このようなビデオデータにOSD信号を挿入する場合、輝度信号と色信号を加算した後に、OSD信号を挿入するようにしていたので、白黒の輝度成分をもつ色しか表示できず、いわゆるカラー文字表示はできなかった。勿論、無理にカラー表示を行うことは可能であったが、この場合は、色信号の位相合わせ等が非常に難しく、回路が複雑にならざるを得なかった。

【0005】 そこで、YUV形式のデータを一旦RGBデータに変換し、この状態でRGB対応のOSD信号を挿入することが考えられるが、YUV形式のデータには、Y、U、Vのデータがマルチプレクスされていない第1フォーマット（以下、Y-U-Vデータと呼ぶ）、U、Vのデータがマルチプレクスされている第2フォーマット（以下、Y-UVデータと呼ぶ）、Y、U、Vの全てのデータがマルチプレクスされている第3フォーマット（以下、Y-UVデータと呼ぶ）というように、複数の異なるフォーマットが存在する。従って、これらのいずれのフォーマットにも対応できるようにするためには、複雑な回路構成を取らざるを得なかった。

【0006】

【課題を解決するための手段】 本発明は、上記課題を解決するために、複数の異なるフォーマットのYUV形式データを15 入力可能なデータ入力端子と、該入力端子に入力されたYUV形式のデータを順次遅延させる複数段の遅延回路と、該遅延回路を通して得られたYUVの各データを合成してRGBの各データを生成する合成回路と、前記複数のフォーマットに対応した切換信号を入力し、入力データがいずれのフォーマットであるかを識別する識別回路と、入力データの開始を示すブランク信号に応じてカウントを開始するカウンタと、前記複数段の遅延回路の間に挿入され、前記識別回路の出力及び前記カウンタの内容に応じて、いずれの遅延回路の出力を次段の遅延回路に送出するかを選択する複数のセクタとを備え、マルチプレクスされていないフォーマットのYUV形式データとマルチプレクスされているフォーマットのYUV形式データとを共に、RGBデータに変換可能としたことを特徴とする。

【0007】 また、本発明は、更に、前記合成回路から出力されるRGBの各データを遅延させる遅延回路を有し、YUVの全てのデータがマルチプレクスされているフォーマットのデータが15 入力された場合のみ、該合成回路の後段の遅延回路を迂回させるようにしたことを特徴

とする。また、本発明では、前記データ入力端子はRGBデータを入力可能であって、前記切換信号としてRGBデータを示す切換信号が入力されたときは、前記遅延回路を通して得られたYUVの各データを前記合成回路を迂回させてそのまま出力することを特徴とする。

【0008】

【作用】本発明では、入力されたYUV形式のデータを順次遅延させる複数段の遅延回路を設けると共に、これら複数段の遅延手段の間にセレクトを挿入し、このセレクトによって、YUV形式の入力データフォーマットを識別する識別回路の出力と、入力データの開始を示すブランク信号に応じてカウントを開始するカウンタの内容に応じて、いずれの遅延手段の出力を次段の遅延手段に送出するかが選択されるので、マルチプレクスされていない第1フォーマットのYUV形式データが入力されたときは、入力されたYUVの各データが単純に遅延されてそのまま出力され、マルチプレクスされている第2及び第3のフォーマットのYUV形式データが入力されたときは、複数段の遅延回路によって、入力されたYUVデータがデマルチプレクスされてY、U、Vの各データが出力されることとなる。そして、これらのデータは合成回路によって、RGBの各データの変換される。

【0009】

【実施例】図6は、本発明の実施例としてのYUV/RGB変換器を含むデジタルRGBエンコーダLSIの全体ブロック図であり、2、3、4はMPEGデコーダもしくはCD-Gデコーダから複数の異なるフォーマットのYUV形式ビデオデータもしくはRGBビデオデータを入力するビデオデータ入力端子、5、6はYUV形式データの複数のフォーマットに対応した2ビットの切換信号SEL1、SEL2を入力する切換信号入力端子、7は入力ビデオデータの存在期間を表すブランク信号BLANKを入力するブランク信号入力端子、8は入力端子2、3、4に入力されたYUV形式のビデオデータをRGB各8ビットのビデオデータに変換するYUV/RGB変換器、9、10、11はOSD信号としての各1ビットのOSDRGBデータOSR、OSG、OSBを各々入力するOSD信号入力端子、12はOSD信号の存在期間を表すOSDブランク信号OSBLKを入力するOSDブランク信号入力端子、13は予め複数のRGBレベルが設定され、YUV/RGB変換器8からのRGBビデオデータと、入力されるOSDRGBデータ及びOSDブランク信号とを入力し、OSD信号が無いときは変換されたRGBデータRGBデータを出し、OSD信号が有るときはOSD信号に対応する設定されたRGBデータを出し、OSD信号挿入回路、14はOSD信号挿入回路9から出力されたRGBデータを輝度信号及び色信号を表すデジタルデータに変換するマトリクス回路である。

【0010】又、15はバースト信号発生回路、16は

輝度信号処理回路、17は色信号処理回路、18及び19はDA変換器、20はタイミング発生回路、21、22、23、24、25は各々外部サブキャリアクロックFSCIN、水平同期信号HSYNC、コンポジット同期信号CSYNC、色信号/コンポジット映像信号切換信号CCSEL、外部サブキャリアクロックFSCINの4倍の周波数のシステムクロック信号CLKINを入力する信号入力端子である。

【0011】図1は、本実施例におけるYUV/RGB変換器8の具体構成を示す回路図であり、30、31は2ビットの切換信号SEL1、SEL2を各々入力するDフリップフロップ、32はDフリップフロップ30、31の出力をデコードしてデコード信号DCS0~DCS3を出力するデコーダであり、これらによって、入力データのフォーマットを識別する識別回路を構成している。そして、切換信号SEL1、SEL2が、「00」、「01」、「10」、「11」のときは、データフォーマットは、各々、RGBデータ、Y-U-Vデータ、Y-UVデータ、YUVデータに対応し、この際、デコード信号DCS0、DCS1、DCS2、DCS3が各々出力される。

【0012】33は2ビットのカウンタであり、入力されたブランク信号BLANKの立ち下がりを検出するDフリップフロップ34の出力によりリセットがかけられることによって、ブランク信号BLANKの立ち下がりに同期してカウントを開始し、カウント内容はデコーダ35によりデコードされる。また、36、37、38は、Y、U、Vの各データを入力し、所定の演算式に従ってR、G、Bの各データを合成するR合成回路、G合成回路、B合成回路であり、R合成回路36と入力端子2との間には、3段のDフリップフロップ360、361、362からなる遅延回路が配置され、G合成回路37と入力端子3との間には、3段のDフリップフロップ370、371、372からなる遅延回路が配置され、B合成回路38と入力端子4との間には、3段のDフリップフロップ380、381、382からなる遅延回路が配置されている。そして、これら遅延回路を構成するDフリップフロップ間には、デコーダ32及びデコーダ35からのデコード信号に応じて、いずれのDフリップフロップの出力を次段のDフリップフロップに送出するかを選択するためのセレクト363、364、373、374、384が挿入されている。これらの各セレクトには、すぐ後のDフリップフロップ361、362、371、372、382の出力が、帰還されている。

【0013】更に、R合成回路36とRデータの出力端子365の間にも、セレクト366、Dフリップフロップ367、セレクト368が順に接続されており、同様に、G合成回路37とGデータの出力端子375の間にも、セレクト376、Dフリップフロップ377、セレクト378が順に接続され、B合成回路38とBデータ

10

20

30

40

50

の出力端子385の間にも、セクタ386、Dフリップフロップ387、セクタ388が順に接続されている。尚、各Dフリップフロップ及びカウンタは、全て同一のクロック信号CLKINに同期して動作する。

【0014】以下、本実施例の動作を詳細に説明する。まず、第1フォーマットのY-U-Vデータが入力されたときは、切換信号SEL1、SEL2として「01」が入力されるので、デコーダ32からデコード信号DCS1が出力される。この信号DCS1が出力されると、遅延回路段に挿入された全てのセクタ363、364、373、374、384は、YUVの各々の遅延段において前段の遅延回路の出力を選択するので、入力端子2、3、4に各々入力されたY、U、Vデータは全て3段の遅延回路によって3クロック分遅延されて、R、G、Bの合成回路36、37、38に入力される。

【0015】また、この場合は、セクタ366、376、386は各合成回路の出力を選択し、セクタ368、378、388は直前のDフリップフロップ367、377、387の出力を選択するので、出力端子365、375、385には、合成回路36、37、38から各々出力されたR、G、Bの各データを1クロック遅延させたデータが、各々出力されることとなる。

【0016】一方、RGB形式のデータが入力されたときは、切換信号SEL1、SEL2として「00」が入力されるので、デコーダ32からデコード信号DCS0が出力される。この信号DCS0が出力されると、遅延回路段に挿入された全てのセクタ363、364、373、374、384は、Y-U-Vデータの場合と同様RGBの各々の遅延段において前段の遅延回路の出力を選択するので、入力端子2、3、4に各々入力されたR、G、Bデータは全て3段の遅延回路によって3クロック分遅延される。しかしながら、この場合には、セクタ366、376、386がR、G、Bの各合成回路36、37、38の出力ではなく入力を選択するので、この入力がDフリップフロップ367、377、387に印加される。そして、セクタ368、378、388はこのDフリップフロップ367、377、387の出力を選択するので、出力端子365、375、385には、結局、入力端子2、3、4に入力されたR、G、Bの各データが4クロック遅延されて各々出力されることとなる。

【0017】次に、マルチプレクスされた第2フォーマットのY-U-Vデータを入力する場合は、Yデータが入力端子2に印加され、UデータとVデータがマルチプレクスされたUVデータが入力端子4に入力される。そして、切換信号SEL1、SEL2としては「10」が入力され、デコーダ32からデコード信号DCS2が出力される。この信号DCS2が出力されると、遅延回路段に挿入されたセクタのうちセクタ363、364は各々前段のDフリップフロップ360、361の出力を

選択し、セクタ373はUVデータが入力されたDフリップフロップ380の出力を選択するので、結局、図2に示すような接続状態となる。以下、図2及び図4のタイミングチャートを参照しながら、動作の詳細を説明する。

【0018】入力されたYデータは、Dフリップフロップ360によって図4イに示すように1クロック分遅延されてaとなり、更に後段の2段のDフリップフロップ361、362によって、図4サに示すように合計3クロック分遅延されて、後段の合成回路36、37、38に送出される。カウンタ33はblank信号BLANK(図4エ)の立ち下がりに応じて、カウントを開始し、そのビット数が2ビットであるため、図4オに示すようにカウント内容cntは「0」、「1」、「2」、「3」を順次繰り返す。そして、セクタ374、384は、カウンタ33の内容cntが「1」、「3」という奇数のときのみ、各々、Dフリップフロップ371、380の出力を選択し、カウンタ33の内容が「0」、「2」という偶数のときは、共に後段のDフリップフロップ372、382の帰還出力を選択するので、セクタ374の出力dとしては、図4カのマルチプレクスされたUVデータcのうち、カウント値が奇数であるときのUデータのみが図4キの如く取り出され、カウント値が偶数のときは取り出されたUデータがそのまま保持される。また、セクタ384の出力eとしては、図4ウのマルチプレクスされたUVデータbのうち、カウント値が奇数であるときのVデータのみが図4ケの如く取り出され、カウント値が偶数のときは取り出されたVデータがそのまま保持される。従って、Dフリップフロップ372、382からは、各々図4ク、コに示すように、図4キ、ケのデータd、eを1クロック分遅延させたUデータ、Vデータが出力されることとなる。これらのU、Vデータの遅延量はYデータ同様3クロック分である。

【0019】最後に、マルチプレクスされた第3フォーマットのYUVデータを入力する場合は、このマルチプレクスされたYUVデータが入力端子4に入力される。そして、切換信号SEL1、SEL2としては「11」が入力され、デコーダ32からデコード信号DCS3が出力される。この信号DCS3が出力されたときは、遅延回路段に挿入された全てのセクタはカウンタ33の内容に応じて選択を行い、実質的には、図3に示すような接続状態となる。以下、図3及び図5のタイミングチャートを参照しながら動作の詳細を説明する。

【0020】まず、セクタ363は、カウンタ33の内容cntが「1」、「3」という奇数のときのみ、前段のDフリップフロップ360の出力aを選択し、「0」、「2」という偶数のときは後段のDフリップフロップ361の帰還出力を選択するので、その出力bは図5オに示すように、カウント値が奇数であるときのY

7
データのみが取り出され、カウント値が偶数のときは取り出されたYデータがそのまま保持される。次のセクタ364は、カウンタ33の内容cntが偶数のときのみ前段のDフリップフロップ361の出力を選択し、奇数のときは後段のDフリップフロップ362の帰還出力を選択するので、その出力cは図5カに示すように、カウント値が偶数であるときは図5オのYデータbが1クロック遅延されたYデータが選択され、カウント値が奇数のときはDフリップフロップ362の帰還出力が選択される。そして、次段のDフリップフロップ362によって更に1クロック分遅延され、図5キの如きYデータのみデマルチプレクスされて出力される。但し、この場合、出力されるYデータは、入力されたデータに比べ4クロック分遅延されている。

【0021】一方、セクタ373は、カウンタ33の内容cntが「0」、「2」という偶数のときのみ、Dフリップフロップ360の出力を選択し、「1」、

「3」という奇数のときは後段のDフリップフロップ371の帰還出力を選択するので、その出力dは図5クに示すように、カウント値が偶数であるときのUデータ及びVデータが取り出され、カウント値が偶数のときは取り出されたデータがそのまま保持される。そして、次段のDフリップフロップ371によって更に1クロック分遅延され、図5ケの如きUVデータeが得られる。次のセクタ374は、カウンタ33の内容が「2」のときのみ前段のDフリップフロップ371の出力を選択し、それ以外では後段のDフリップフロップ372の帰還出力を選択するので、その出力fは図5コに示すように、カウント値が「2」であるときのUデータのみが取り出され、カウント値が「2」以外のときは取り出されたUデータが保持される。そして、次段のDフリップフロップ372によって更に1クロック分遅延され、図5サの如きUデータのみが得られる。

【0022】また、セクタ384は、カウンタ33の内容cntが「2」のときのみDフリップフロップ360の出力を選択し、それ以外では後段のDフリップフロップ382の帰還出力を選択するので、その出力gは図5シに示すように、カウント値が「2」であるときのVデータのみが取り出され、カウント値が「2」以外のときは取り出されたVデータが保持される。そして、次段のDフリップフロップ382によって更に1クロック分遅延され、図5スの如きVデータのみが得られる。

【0023】但し、この場合もYデータ同様、Uデータ及びVデータは入力されたデータに比べ4クロック分遅延される。このように、YUVデータのデマルチプレクスは実現されるが、得られたY、U、Vの各データの遅延量は4クロック分と、他のフォーマットの場合に比べ1クロック分多いので、最終段のセクタ368、378、388では、Dフリップフロップ367、378、388の出力ではなく、RGBの各合成回路36、3

7、38の出力をそのまま出力端子365、375、385に出力するようにして、遅延量を合わせるようにしている。

【0024】以上のようにしてRGBデータが得られた後は、これらデータはOSD信号挿入回路13に入力され、ここで、入力端子9、10、11に入力されたRGB対応のOSD信号がOSDブランク信号に基づき挿入される。即ち、OSD信号が存在しないときは、YUV/RGB変換器8からのRGBデータがそのまま出力され、OSD信号が存在するときはその内容に応じた所定の設定されたRGBデータが出力される。そして、これらのRGBデータがマトリクス回路14によって、輝度信号Y及び色信号Cに変換され、変換された輝度信号Y及び色信号Cは、輝度信号処理回路16及び色信号処理回路17に各々入力される。

【0025】輝度信号処理回路16には、コンポジット同期信号CSYNC及びブランク信号BLANKが入力されており、回路内でタイミング信号に基づきこれら同期信号と同期がとられ、同期した輝度信号がDA変換器18に入力され、ここで、アナログ信号に変換されて出力される。バースト信号発生回路15は、外部からのサブキャリアクロックFSCIN、水平同期信号HSYNC、システムクロック信号CLKINからバースト信号を生成して色信号処理回路17に出力し、色信号処理回路17はマトリクス回路14からの色信号Cにバースト信号を付加する処理を行う。又、この色信号処理回路17は、色信号とコンポジット映像信号とを切り換えて出力する機能を有しており、切換信号CCSELがHレベルのときはバースト信号を付加した色信号をDA変換器19に出力し、切換信号CCSELがLレベルのときは、コンポジットブランク信号BLANK及びタイミング信号に基づき、バースト信号を付加した色信号に更に輝度信号を付加してコンポジット映像信号を生成し、この信号をDA変換器19に出力する。そして、DA変換器でこれら信号はアナログ信号に変換され出力される。

【0026】以上のようにして、デジタルRGBエンコード処理が実行される。

【0027】

【発明の効果】本発明によれば、マルチプレクスされていないフォーマットのYUV形式データとマルチプレクスされているフォーマットのYUV形式データという異なる複数のフォーマットのYUV形式データを、回路構成を複雑にすることなく且つ確実にRGBデータに変換できるようになる。更には、1個のLSIによってわずかの構成の付加により、RGBデータをも入力できるようにすることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例としてのYUV/RGB変換器の構成を示す回路図である。

50 【図2】実施例においてY-U-Vデータを入力する場合

の構成を示す回路図である。

【図3】実施例においてYUVデータを入力する場合の構成を示す回路図である。

【図4】実施例においてY-UVデータを入力する場合のタイミングチャートを示す図である。

【図5】実施例においてYUVデータを入力する場合のタイミングチャートを示す図である。

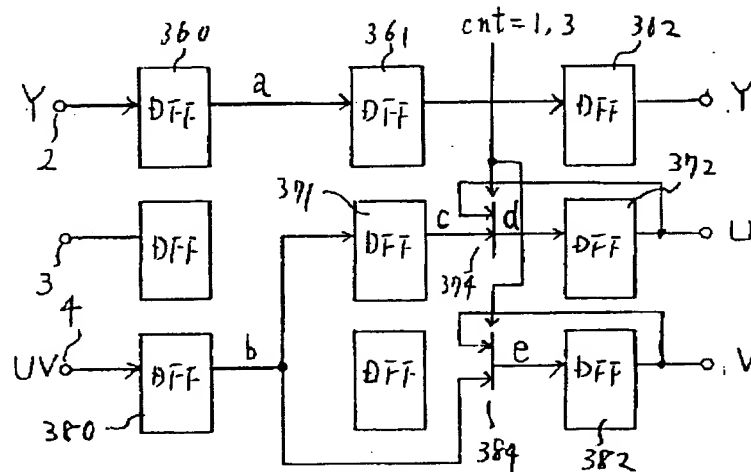
【図6】実施例としてのYUV/RGB変換器を含むデジタルRGBエンコーダLSIの全体ブロック図である。

【符号の説明】

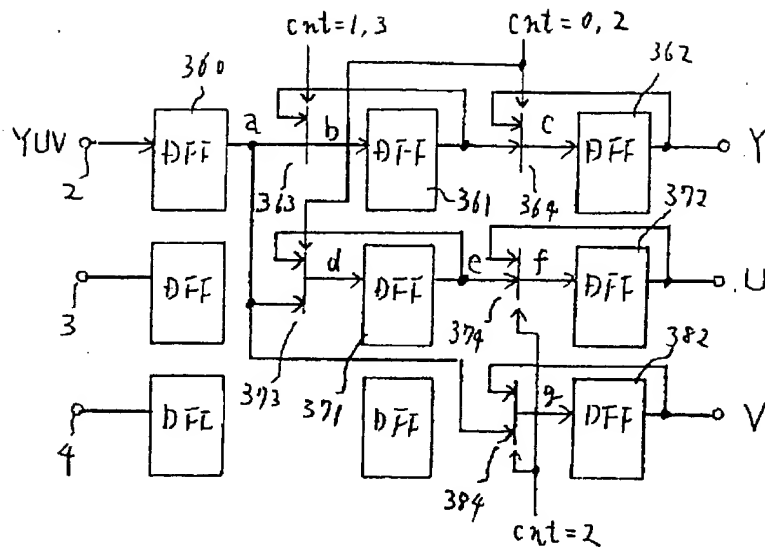
- 2, 3, 4 データ入力端子
- 5, 6 切換信号入力端子
- 7 ブランク信号入力端子
- 8 YUV/RGB変換器
- 9, 10, 11 OSD信号入力端子
- 12 OSDブランク信号入力端子

- 13 OSD信号挿入回路
- 14 マトリクス回路
- 15 パースト信号発生回路
- 16 輝度信号処理回路
- 17 色信号処理回路
- 18, 19 DA変換器
- 32, 35 デコーダ
- 33 カウンタ
- 36 R合成回路
- 10 37 G合成回路
- 38 B合成回路
- 360, 361, 362, 367 Dフリップフロップ
- 370, 371, 372, 377 Dフリップフロップ
- 380, 381, 382, 387 Dフリップフロップ
- 363, 364, 366, 368 セレクタ
- 373, 374, 376, 378 セレクタ
- 384, 386, 388 セレクタ

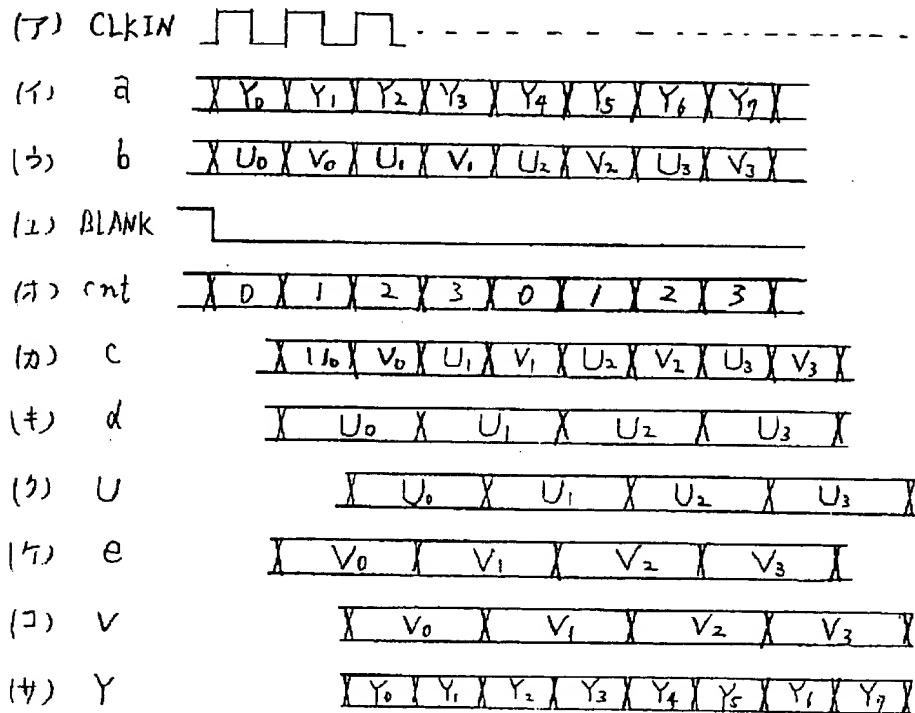
【図2】



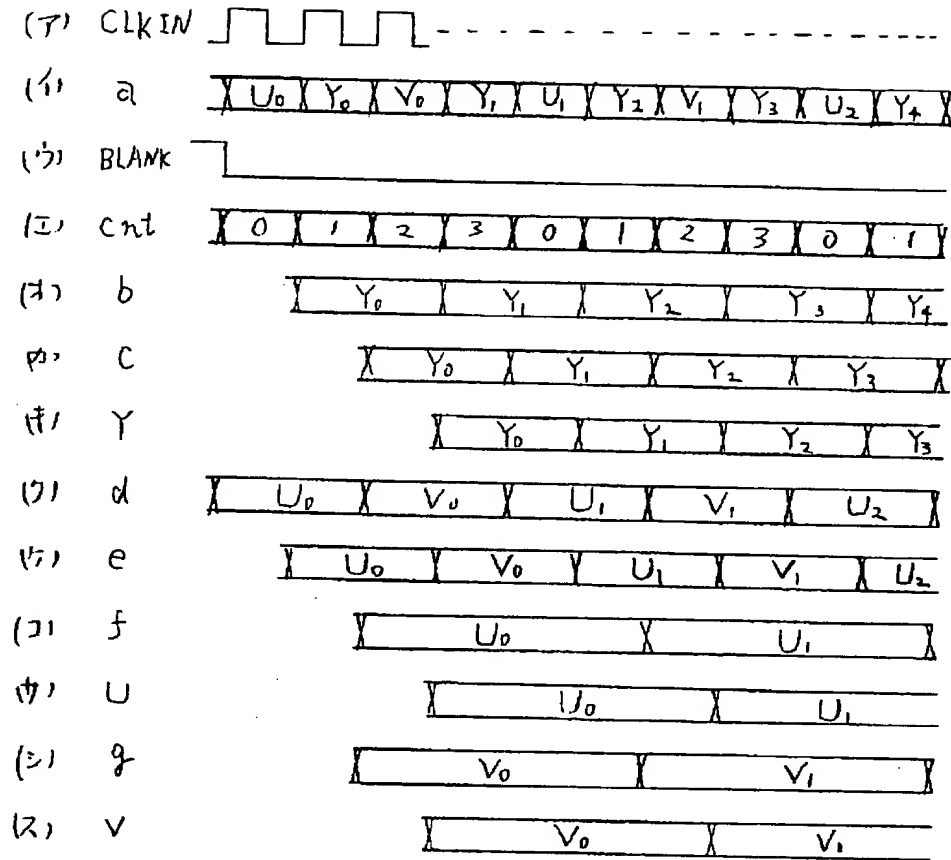
【図3】



【図4】



【図5】



【図6】

